



[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(11) 特許出願公開番号

特關平7-58669

特關平7-58669

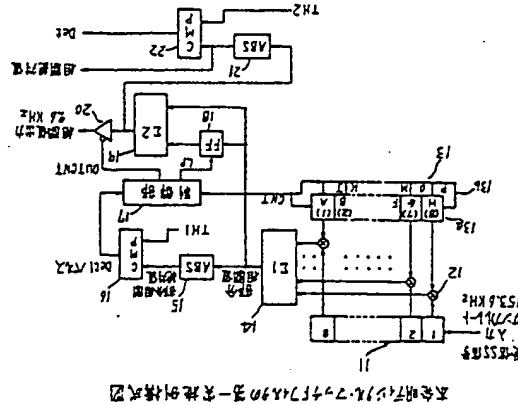
(43)公開日 平成7年(1995)3月3日

(51)In.CI. H04B 1/107 H03H 17/02	識別記号 庁内整理番号 P 8842-5 J	P I 1104 J 13/ 00 D	技術表示箇所
(21)出願番号 (22)出願日	特願平5-198678 平成5年(1993)8月11日	(71)出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地 藤和 利彦 鈴木康小山市城東3丁目28番1号 富士通 ティジタル・テクノロジ株式会社内 (72)発明者 大塚 恭智 鈴木康小山市城東3丁目28番1号 富士通 ティジタル・テクノロジ株式会社内 (73)発明者 舟生 誠人 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内 (74)代理人 非理士 井橋 貞一	審査請求 未請求 請求項の数2 OL (全8頁)

54) 【発明の名称】 デジタルマルチドフィルタ

57) 【要約】  
 【目的】 スペクトラム頂位修版散通得方式の受信装置改良で用いられるデジタルマルチチャドフィルタに關し、その製造設備を削減することを目的とする。

〔構成〕 所定チップ長の読取符号を分割してチップ長  
の1/4等しい型数の部分読取符号とし、受信スペクトラム  
の読取符号と送信数の部分読取符号のそれぞれとの部分相  
違値を順次求め、全ての部分読取符号に対する最大の部  
分相違値の和を該所定チップ長の読取符号と受信スペク  
ラム読取符号との相違値として出力するように構成す



レジスタ31に順次入力する。一方、乗数レジスタ33は、送  
り出し制御部70で用いた被除数番と同一パターン番号の被除数行「1111  
0101010010001」を固定的に保持してパラレル出力し、16個  
の被除数行のチップ長に対応して配列された16個  
の乗数器33は、この被除数行と受信シフトレジスタ31の  
乗数結果であるチップ長相当分の受信被除数行との  
パララレル出力で乗算することによりチップタ  
ククロック4回遅れず乗算結果は、加算器34によ  
って16チップ分が常に加算され、自己相積値として出力  
される。乗積結果は全て1となり加算器34からは最大  
相積値16が、また受信行パターンが被除数行パター  
ンの反転のときは乗積結果は全て-1なので加算器34から  
のは自負の最大相積値-16が出力される。そして比較分の手  
元には自負の最大相積値-16が出力される。

【0008】絶対賃金部35はこの相対賃金を正の相関係数に相対賃金に変換する。比較部36はこの相関係数対賃金を予め設定されている8〜10の間の四捨と比較し、四捨を超えるチャップマンタイミンズを検出して検出バールズDET を出力する。

【0009】検出パルスDETや相四軌の絶対軌は、受信機周知地点での搬送波再生の引込み用の制御信号や後段の増幅部での搬送波パルスとして用いられる。図4において、マッチフィルタの後段のデータ増幅部は、検出パルスDETのチャップタイプビット中の軌を復調することにより、搬送波データの再生を行う。

【010】上記において、放散質のチップ長が長い  
程、放散質パターンとの間隔が多くなるので、田間試の  
ピークが大きくなり、低濃度の受は質を良好に受留で  
き、また多元接続する場合にはチャネル数を多くとれる  
ことになる。

【0011】  
 [発明が解決しようとする課題] 上述の従来のデジタル  
 ママチャードファイルタでは、証据付りのチップ良に苛しい深  
 さのシフトレジスタとチップ良と同数の乗算器を必製と  
 する間、チップ良を長くすると同数乗算器が増大するとい  
 う問題があった。

【0012】このように、航路番号のチップ長に对应してマッチフィルタの固有周波数が增大するので、通用方式に必要とされる航路番号の長さを越える場合には、1を1つのLSIで構成できる範囲を超えない場合には、LSIをカスケード接続してマッチドフィルタを構成してS1をマッチドフィルタで構成し、また、1つのLSIでマッチドフィルタを構成しようとしたときと航路番号のチップ長が制限されるという同

【0013】本発明は、上記問題に鑑みて創出されたもので、デジタルマルチドフィルタの回路規模を削減することを目的とする。

【0014】

[illegible]

【0015】  
 (作用) 加算をためるためにマツドフィルタ内で受信ス  
 トラムと加算器の出力のチップを保持する受信ソフトレジ  
 スターと並行して加算を計算する乗算器の乗数を部分加算器の  
 チップの出力値に割ればよい。従って、マツドフィル  
 タの乗数の出力値が削減されることである。この削減は、  
 対象とする通信システムのCN比(キャリア/ノイズ・  
 デンシティ)によって適宜決定することができ、通信システ  
 ムのCN比に応じて分割率が適切にきめることにより、効率  
 的な通信構成ができる。

【0016】分割数を増やすと部分相関係数のチップ数  
が減り、部分相関係数の最大値が小さくなるので、CNが  
小さい宇宙通信システム等ではせいぜい2分割である  
が、CDMA方式の移動通信や無線LAN等では、CN  
が比較的良好なので、部分相関係数で所望の制御が可能であ  
る。分割数を多くすることができ、

【実施例】以下添付図面により本発明の実施例を説明する。図1は本発明の第一実施例の構成図、図2はその動作を説明するためのタイムチャート、図3は第二実施例の構成図である。なお、全図を通じて同一符号は同一対象物を示す。

【0018】以下の実施例では拡張符号はチップ長が16で、油から後ろにABCDEFGHIJKLMNOP (缺は1110101100100001) であるとし、これを2分割した8チップずつを部

【0019】第一の実施例は、部分放電計測供給手段として、各部分放電計測を定期的に実行する複数の係数レジスタを設け、係数供給元を適宜切り替えるようにしたものである。

【0020】図1において、11は8段の受信シフトレジスタであり、ベースバンド周りに復調された受信スペクトラム減衰増幅時をチップクロックでサンプリングしたデジタルデータがチップシリアルに順次入力する。このデジタルデータは送信側のチップの情報値“0”“1”にそれぞれ対応して、自の値をとるものと、8段は減衰増幅、受信シフトレジスタの各段に対応して8段は増幅され、

[illegible][illegible]

を、制御部17からのラッチパルスLPのタイミングで取込み、保持・出力する。

【0 0 2 2】17は制御部で、検出バルスDET1が入力し、  
て、各側の制御出力を生成する。切替制御出力OUTは、  
動作開始直後に“1”となり、最初の検出バルスDET1が入  
力すると“1”となり、次の検出バルスDET1が入力する  
まで“1”となる。以後検出バルスDET1が入力する度に“1”  
“1”を交互に出力する。この切替制御出力により、DET  
1が入力するとバルスが発生する度に、装置側に供給される乗算係数は  
前半分の部分証散符号と前半分の部分証散符号とが交互に切  
り替わり続けることになる。また、制御出力17は最初の検出バ  
ルスの次の検出バルスから1検出バルスおきに、部分バ  
ルスOUTC1とOUTC2を供給し、19は加算器で、部分加算器保  
持レジスタ18にラッチバルスLAを供給し、二つのラ  
ッチバルスの中間の検出バルスタイミングでは出力制御  
バルスOUTC1とOUTC2の出力と、第一の加算器で、部分加算器保  
持レジスタ18の出力と、第一の加算器で3ステータートが  
加算して出力している。20は例えば3ステータートが  
加算される出力ゲートで、出力制御バルスOUTC1が印加され  
たときのみ、第二の加算器19の出力を、相補値として後

【0 0 2 3】21は第2の機軸積算部で、常時入力されてくる第2の加算積算19からの加算結果を止のバツタに打ち戻している出力である。22は比較回路で、1チップ毎に時間間における最大四回分の1/2以上の値を検出する第2の機軸積算部、例えば数回8が外部から配定されており、入力力がこの閾値を超えるチップタイミングで検出バツルス旺き出力する。

【0024】次に、図2を共に用いて、動作を説明する。送附される原図がデータ“0”の連珠であり、上記記憶散置りにより16チップに拡散して送附されるものとする。

【025】図2においては、時間軸は上下方向であり、各チャックタキミング毎の上段は受信シフトレジスタに保持されている受信スペクトラム振幅値が、下段は係数レジスタが供給する係数に、まず初期状態では、切り割り

受信シフトレジスタ13bから被取符号分を出力する出力CMTが“1”であり、被取レジスタ13bから被取符号分の後半部分被取符号パターン“11101001”が供給されこれに対応する部分被取符号“1,1,1,1,1,1,1,1”が供給され、受信シフトレジスタ13aに被取符号の後半部に相当する8チップ分が逐次に入れられ、被取符号の後半部に相当する8チップ分が入れられたチップクロックタイミング0で、受信シフトレジスタ13aの8チップ分のパラレル出力が“11101001”に対応する“1,1,1,1,1,1,1,1”となるので、8割の乗算器の出力は全て1となり、部分相関値は8で最大となる。これにより後期の検出相関値0E11が出力され、新野関77は動作を開始する。後期の検出相関値0E11により、制御部77は切り替わり制御CMTを“1”とするのにより、被取レジスタ13aに被取符号元が供給され、前半部分被取符号分ABCE0F7は切り替わり制御CMTを“1”とするのにより、被取レジスタ13bに被取符号分13bが供給され、

1、1、1、1、1、1が乗算因子に供給される。最初の切替後は8チップクロック後のタイミングで、受信シフトレジスタには、次の受信ベクタから並列復号の前半部分が入力されたものである。ここで、同じ部分と相関およびその絶対値を力測定する。2つめの検出パルスDET-2が発生する。この結果となり、2つめの切替が行われ、今度は受信レジスタに取り込まれるとともに、切替制御信号DETが“H”となつて、乗算器は後半の部分と並列復号中に切り替わる。これにより、後半の並列化して受信信号を待ち受けることになる。切替後8チップクロック目のチャップマンシンクロ中で同じ部分と相関は最大となる。このとき、前半の最大部分と相関値 $\alpha$ とこの後半の最大部分相関値 $\beta$ との和が、第2の加算器19で加算されたため、マツチアディータが取り出される。またその絶対値が第2の同値判定ルータとして後段に出力されるので、所定に置き置かれて2を超えることを比較器22で検知するので、1チップバターン周期で一回の検出パルスDETと最大相関値 $\alpha + \beta$ が出される。

【0 0 2 6】送信情報が“1”のときは、受信側用ハタ川川の符号は反転しているため、絶対値を取る側の相関値が正であり、相関係数は絶対値を取っていることで正である。相関係数の正、負を相対比のサインミッドで識別することにより送信側の“1”・“0”が検出される。また相関係値は、受信無線機被験数(符号)を16桁以下に絞るためのローカル周波数調整の制御等に利用され、検出されたサインミッドの識別や、チップロックの発生のためのサインミッド超過として用いられる。

【0027】図3は、第二の実施例で、部分拡張符号列を保持手段の係数レジスタにシフトレジスタ部分を用いた例を示す。係数レジスタは、8チップ長の部分拡張符号を保持する現用係数保持レジスタ23aと、残りの8チップ長を保持する待機係数レジスタ23bとからなる。16チップ長の1チップバターン周期分の拡張符号バターンが両者に二分かれて保持されており、乗算係数は現用係数保持レジスタ23aから乗算部12に供給される。一方の係数保持レジスタ23bは、拡張符号バターンの遅延した8チップ分に対応する係数を出力し、1チップクロック毎に仰位方向にシフトする。従って、現用係数レジスタ23aは、拡張符号バターンの遅延した8チップ分に対応する係数を出力し、1チップクロック毎に仰位方向にシフトする。そして制御部17は、最初待機レジスタ23bが出力するとチップクロックの4周でシフトレジスタ23bを出力する。初期状態では、現用レジスタ23aには、拡張符号の後半の部分拡張符号1,1,1,1,1,1,1,1に、拡張符号の前半の部分拡張符号1,1,1,1,1,1,1,1の8チップ分のバターンが逐次シフトし、シフトレジスタ23bには前半の部分拡張符号1,1,1,1,1,1,1,1の8チップ分のバターンが逐次シフトされている。この時点では、シフトバタースを発生してはいないで、現用係数レジスタ23aと23bには前半の部分拡張符号1,1,1,1,1,1,1,1の8チップ分のバターンが供給されている。この時点では、

23aの出力力は固定している。受信ソフトウェアスタタ11に入力される受信部分レジェンダが次々タビラして、そのパラレル出力力がこの後半部分と一致したチップタイミングで加算回路14からその部分相関値の絶対値となる。そのときの絶対出力力は比較器16の閾値を越えるので最初の検出パルスDET1が出力される。これにより、制御部17はソフトウェアループの出給を開始し、現用原数レジェンダの内容は、1チップずつ時計方向に方向11で、8チップクロック目で前半の部分相関値群11に対して逐次偏置を出力する。この時受信ソフトウェアスタタ11は、次の受信部分レジェンダの前半部分が出力されているので、そのソフトウェアクロックタイミングの部分相関値は最大となる。制御部17は、最初の検出の部分相関値は最大となるので、第一検出側と向接のチップタイミングを基準にして、第一検出側と向接のチップタイミングを生じているので、前半の部分相関値のピークが部分相関レジェンダ18に保持される。次の8チップクロック目では検出群の前半の1, 1, 1, 1, 1, 1, 1, 1と入力部分レジェンダとの相関値が1つになるので、後半の最大相関値bが閾値を越え、3つめの検出パルスDET2が出力される。このとき、部分相関レジェンダが保持する前半の最大相関値aとこの加算結果が後段のデータ検出側へ出力される。またこの相関値の絶対値が第二の閾値を越えるので、検出パルスDET3が出力される。

【0028】以上の実施例は、チップ長16の乱数符号を8チップ長の部分乱数符号に2分割した例について説明した。この乱数符号のチップ長が奇数で、同一チップ長の部分乱数符号に2分割できない場合には、大きいチップ長に合わせ受用ソフトウェアレジスタと乗算器を設ければよい。

【0020】また、分割数を3以上にすると、分割数に对应する国数の部分相関値レジスタ数が増え、制御部で適切なタイミングでそれぞれに各部の記憶装置に付与する部分相関値の最大値を保持させ、1記憶符フレイム毎に一個の合計相関値を出力するようにする。あるいは、分割数を3個以上の段取りに順次求め、3個以上の段取りの合計相関値をその記憶装置に算することによって、全段取りの合計相関値を1個の合計相関値を出力するように構成してもよい。

【0030】このチップ分割数は、通信システムのCN  
7と、所望チャネル数、拡散符号長等の組合せに応じ  
て、回路の特性が得られるように適宜定めることができ  
る。

[0031]

【発明の効果】以上説明した如く本発明によれば、並設項目を分割した部分記號符号と受信スペクトラム被覆度ととの相関を順次求めるので、印刷品質のための装幀給と受信被覆度とを保持するデジタルレジスタの数を削減すことができ、デジタルマルチッドフィルタを小さい回路規模で実現できるという効果がある。

【図面の簡単な説明】

【図1】 本発明のデジタルマルチドフィルタの第一実

在例情成网

【図2】 図1の動作説明のためのタイムチャート

【図3】 本発明のデジタルマッチドフィルタの第二実

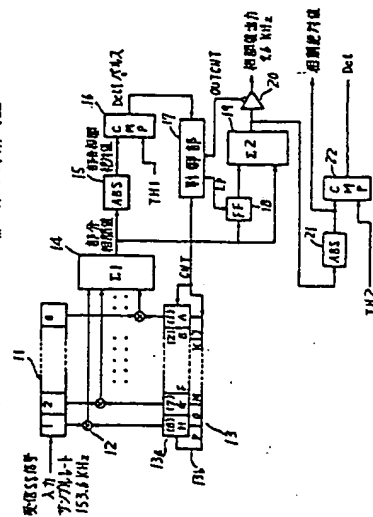
【図5】従来のデジタルマルチドフィルタの構成図  
【各々の説明】

11...受信シフトレジスタ、12...乗算器、13a、13b、23a、23

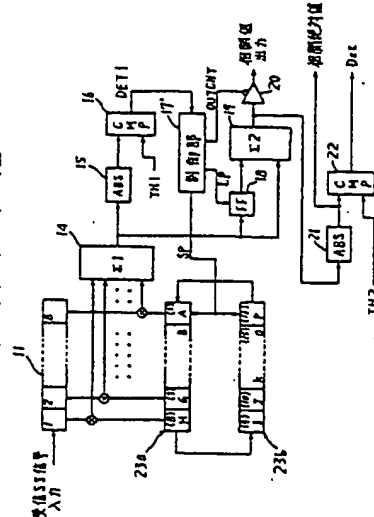
…係数保持レジスタ、14…加算器、15…絶対値算出

15. 16---比較部、17、17'---動部

本発明デジタル・フロッピーディスクの第一実施例構成図

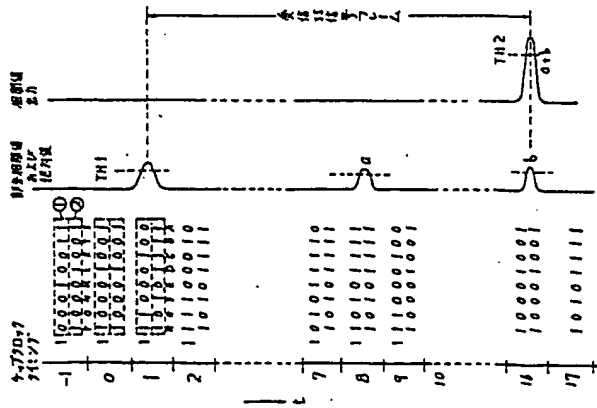


木究明の第二実施例構図



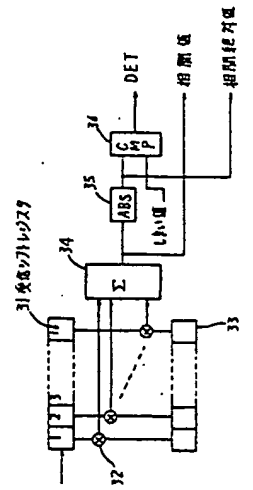
【図2】

図1の動作説明のためのタイミングチャート

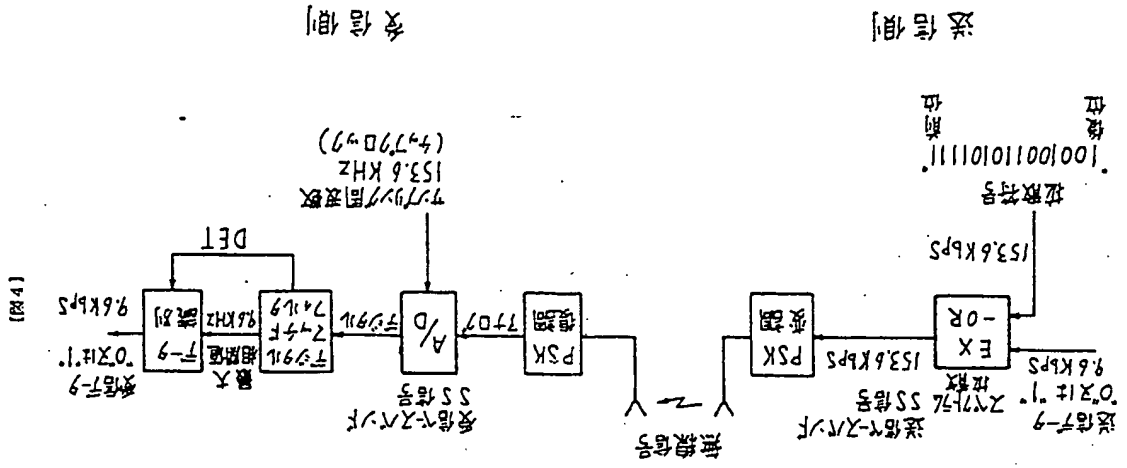


【図5】

従来のデジタルフロッピーフィルタの構成図



本発明のデジタルフロッピーフィルタが適用される  
パイプライン直接拡散通信方式を示す図



【図4】